

日本国特許庁  
JAPAN PATENT OFFICE

#2  
J1017 U.S. PTO  
10/077898  
02/20/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月16日

出願番号

Application Number:

特願2001-075950

出願人

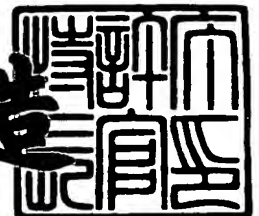
Applicant(s):

株式会社東芝

2001年 9月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3082018

【書類名】 特許願

【整理番号】 46B00Z416

【提出日】 平成13年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/00

【発明の名称】 半導体記憶装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 平林 修

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 外部から供給されるクロック信号に同期して動作する同期型の半導体記憶装置において、

前記記憶装置から出力される出力データを受けて、第 1 のタイミングにおける前記出力データと、前記第 1 のタイミングとは異なる第 2 のタイミングにおける前記出力データとを比較し、その一致／不一致を判定する動作を、前記クロック信号に同期した動作サイクル毎に繰り返し行うタイミング判定回路を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記タイミング判定回路は、前記第 1 のタイミングにおける前記出力データと、前記第 2 のタイミングにおける前記出力データとが一度でも不一致と判定された場合には、不一致の判定結果を出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記タイミング判定回路は、  
前記第 1 のタイミングに同期して前記出力データを取り込み保持する第 1 のレジスタと、

前記第 1 のレジスタに保持された前記出力データと、前記記憶装置に与えられる前記出力データとを比較する論理ゲートと、

前記論理ゲートの出力を、前記第 2 のタイミングに同期して取り込み保持する第 2 のレジスタと、

前記第 2 のレジスタの出力を受けてセットされ、不一致の判定結果を保持出力するフリップフロップ回路と、

を具備することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】 前記タイミング判定回路は、  
前記第 1 のタイミングに同期して前記出力データを取り込み保持する第 1 のレジスタと、

前記第 2 のタイミングに同期して前記出力データを取り込み保持する第 2 のレジスタと、

前記第 2 のタイミングを遅延して第 3 のタイミングを出力する遅延回路と、

前記第 1 のレジスタに保持された前記出力データと、前記第 2 のレジスタに保持された前記出力データとを比較する論理ゲートと、

前記論理ゲートの出力を、前記第 3 のタイミングに同期して取り込み保持する第 3 のレジスタと、

前記第 3 のレジスタの出力を受けてセットされ、不一致の判定結果を保持出力するフリップフロップ回路と、

を具備することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 5】 前記第 1 のタイミングは、出力データが確定しているタイミングに設定され、前記第 2 のタイミングを動作サイクル毎に変えることを特徴とする請求項 1 乃至 4 記載の半導体記憶装置。

【請求項 6】 前記第 2 のタイミングは、出力データが確定しているタイミングに設定され、前記第 1 のタイミングを動作サイクル毎に変えることを特徴とする請求項 1 乃至 4 記載の半導体記憶装置。

【請求項 7】 前記出力データに代えて前記クロック信号を受ける前記タイミング判定回路を具備することを特徴とする請求項 1 乃至 6 記載の半導体記憶装置。

【請求項 8】 前記タイミング判定回路は、その判定結果がバウンダリスキャンテスト回路のシフトレジスタに出力されることを特徴とする請求項 1 乃至 7 記載の半導体記憶装置。

【請求項 9】 前記第 1 のタイミングは、タイミング信号の立ち上がり又は立ち下がりエッジにより生成され、前記第 2 のタイミングは、前記タイミング信号の立ち下がり又は立ち上がりエッジにより生成されることを特徴とする請求項 1 乃至 8 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部クロックに同期して動作する半導体記憶装置に関する。

【0002】

## 【従来の技術】

近年のマイクロプロセッサの高速化に伴い、半導体記憶装置、とりわけキャッシュメモリとして使用される例えばSRAMもますます高速化され、マイクロプロセッサとキャッシュメモリとの間での高速なデータ転送はタイミング的にますます厳しいものとなっている。このため、記憶装置から出力されるデータに許容されるデータ間のスキューは、極めて厳しいスペックとなっていた。

## 【0003】

一方、このような記憶装置の出荷時には、テスト装置によって試験を行っているが、近年ではこのテスト装置の測定精度よりもさらに厳しいスペックとなっており、従来のテスト装置では測定することが困難となっていた。

## 【0004】

このような不具合に対する従来の解決策として、文献「International Test Conference 2000 Proceedings pp436~443」では、図10に示すような構成のデータ間のスキューを測定する回路を記憶装置に搭載することが提案されている。図10に示す構成において、データ(DQ)、アドレス(A)ならびにコマンド(CMD)は、記憶装置におけるコア部70のバッファ回路71を介してクロック信号(CK)に同期してレジスタ72に取り込まれて保持され、メモリアレイ73に与えられる。このようなデータ(及びクロック信号)は、所定のタイミングのストロブ信号(STRB)に基づいて同時にレジスタ80に取り込まれる。なお図10では、データ(DQ)は簡略して示されているが、実際にはデータ幅は複数ビットあり、全てのデータ(DQ)は同様にしてレジスタ80に取り込まれる。また、これら多数のレジスタ80の値は、記憶装置に搭載されるバウンダリスキャンテスト回路90(IEEE 1149.1)を利用して、バウンダリスキャンチェーンからシリアルに外部に読み出される。すなわち、レジスタ80に取り込まれて保持されたデータは、セクタ91により選択されてレジスタ92に取り込まれて保持され、レジスタ92に保持されたデータは、セクタ91を介して次段のレジスタ92に順次転送され、バッファ93を介して外部に出力される。このようなスキャンテスト回路を備えることにより、チップ面積の増大を抑制している。

## 【 0 0 0 5 】

図 1 0 に示す構成の動作タイミングチャートを図 1 1 に示す。図 1 1 では 2 つのデータ D Q 1 , D Q 2 を一例に示す。図 1 1 ( a ) ~ ( c ) に示すように、順次ストロブ信号をスイープし、レジスタ 7 2 に取り込まれたデータをチェックすることによって、データ D Q 1 , D Q 2 間のスキューが測定できる。ストロブ信号を少しずつスイープさせる際のステップは、通常のテスト装置でも十分小さく設定することが可能であるので、上記のようなデータ間のスキュー測定を行うことが可能となる。また、クロック信号もデータと同様にレジスタに取り込み保持することにより、クロック信号からデータが出力されるまでの時間（アクセス時間）を測定することもできる。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

以上説明したような、データ間のスキューを測定する従来の測定回路では、以下のような不具合が生じていた。すなわち、すべてのデータ、例えば図 1 1 に示すデータ D Q 1 , D Q 2 のタイミングは全ての動作サイクルにおいて常に一定ではなく、各動作サイクルで若干タイミングが異なっている。しかしながら、上述した従来の測定回路では、一度にある特定の動作サイクルでのスキューしか測定できなかった。従って、複数の動作サイクルに亘る実際の動作全体で測定を行い、ワーストケースとなる場合の値を測定するのは極めて困難であった。

## 【 0 0 0 7 】

そこで、本発明は、上記に鑑みてなされたものであり、その目的とするところは、テスト装置の測定精度を上回るような極微小のデータ間スキュー測定を可能とし、複数の動作サイクルにおけるワーストケースのデータ間スキューを測定できる半導体記憶装置を提供することにある。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

上記目的を達成するために、課題を解決する第 1 の手段は、外部から供給されるクロック信号に同期して動作する同期型の半導体記憶装置において、前記記憶装置から出力される出力データを受けて、第 1 のタイミングにおける前記出力デ

ータと、前記第1のタイミングとは異なる第2のタイミングにおける前記出力データとを比較し、その一致／不一致を判定する動作を、前記クロック信号に同期した動作サイクル毎に繰り返し行うタイミング判定回路を具備することを特徴とする。

## 【0009】

## 【発明の実施の形態】

以下、図面を用いて本発明の実施形態を説明する。

## 【0010】

図1は本発明の一実施形態に係る半導体記憶装置の概略構成を示す図である。図1において、この実施形態の記憶装置は、記憶装置のコア部1、本発明の特徴的な構成要素となるタイミング判定回路2、ならびにバウンダリスキャンテスト回路3を備えて構成されている。このような構成において、データ(DQ)、アドレス(A)ならびにコマンド(CMD)は、記憶装置におけるコア部1のバッファ回路11を介してクロック信号(CK)に同期してレジスタ12に取り込まれて保持され、メモリアレイ13に与えられる。このようなデータ(及びクロック信号)は、同時にそれぞれ対応したタイミング判定回路2に与えられる。なお図1では、データ(DQ)は簡略して示されているが、実際にはデータ幅は複数ビットあり、全てのデータ(DQ)は同様にしてタイミング判定回路2に与えられる。

## 【0011】

タイミング判定回路2の出力は、バウンダリスキャンテスト回路3を利用してバウンダリスキャンチェーンからシリアルに外部に読み出される。すなわち、タイミング判定回路2の出力は、セレクタ31により選択されてレジスタ32に取り込まれて保持される。レジスタ32に保持されたデータは、セレクタ31を介して次段のレジスタ32に順次転送され、バッファ33を介して外部に出力される。

## 【0012】

図2にタイミング判定回路2の詳細な構成を示す。図2において、タイミング判定回路2は、入力(IN)を受けるレジスタ21、排他的論理和のゲート回路



22、ゲート回路22の出力を受けるレジスタ23、レジスタ23の出力を受けるRS型のフリップフロップ(F/F)24を備えて構成されている。タイミング判定回路2には、第1のタイミングとなる第1のタイミング信号(STRB1)ならびに第2のタイミングとなる第2のタイミング信号(STRB2)が入力される。第1のタイミング信号はレジスタ21のラッチ信号として与えられ、第2のタイミング信号はレジスタ23のラッチ信号として与えられる。タイミング判定回路2に入力されたデータ(又はクロック信号)は、第1のタイミング信号に同期してレジスタ21に取り込まれて保持される。タイミング判定回路2の入力(IN)とレジスタ21の出力は、ゲート回路22に与えられて比較される。比較結果は第2のストロブ信号に同期してレジスタ23に取り込まれて保持される。レジスタ23の出力は、F/F24に入力される。F/F24は電源投入時にリセット状態となり、レジスタ23の値が一度でも所定の状態になるとセットされて出力(Q)が反転する。

#### 【0013】

記憶装置に与えられるデータ(DQ)の出力波形における、クロック信号(CK)に同期して複数サイクルに亘り積算した様子は、例えば図3に示すように表される。図3において、データのレベルが変化するデータの遷移点には、ばらつきが生じてある広がりが存在する。そこで、クロック信号の立ち上がりからデータが確定するまでの時間で最も遅いケースの時間をバリッド(Valid)時間とし、クロック信号の立ち上がりからデータが不確定になるまでの時間で最も早いケースの時間をインバリッド(Invalid)時間とし、上記タイミング判定回路2において、バリッド時間ならびにインバリッド時間の双方を測定する動作を説明する。

#### 【0014】

まず、バリッド時間のスキュー測定について、図4のタイミングチャートを参照して説明する。バリッド時間を測定する場合には、確実にデータが確定しているタイミングに第2のストロブ信号を固定する。一方、第1のストロブ信号は測定毎にタイミングをシフトし、データの遷移点を横切るようにスイープさせる。このようなタイミングに対して、タイミング判定回路2では、第1のストロ

ープ信号のタイミングでレジスタ21に取り込まれて保持されたデータと、第2のストローク信号のタイミングのデータがゲート回路22で比較されて、両者が一致しているか否かが判定される。第2のストローク信号のタイミングでは、確実にデータが確定しているのので、第1のストローク信号のタイミングにおいて、第2のストローク信号のタイミングと同じデータ（すなわち正しいデータ）が出力されているか否かが判定されていることと同じである。したがって、正しいデータが出力されず比較された両者のデータが不一致の場合には、フェール（図4にNGで示す）となり、フェール（FAIL）信号がハイレベルとなる。ハイレベルのフェール信号はF/F24に入力され、フェール信号が一度でもハイレベルになると、F/F24がセット状態となり、フェールの測定結果がF/F24から出力されて、バリッド時間の測定テストにおけるトータルのテスト結果が判定されることになる。このような測定を、第1のストローク信号を少しずつスイープしながら繰り返し行い、それぞれのデータの判定結果を調べることにより、それぞれのデータ間でのバリッド時間のスキューを測定することが可能となる。

## 【0015】

次に、インバリッド時間のスキュー測定について、図5のタイミングチャートを参照して説明する。インバリッド時間を測定する場合には、確実にデータが確定しているタイミングに第1のストローク信号を固定する。一方、第2のストローク信号は測定毎にタイミングをシフトし、データの遷移点を横切るようにスイープさせる。このようなタイミングに対して、タイミング判定回路2では、第1のストローク信号のタイミングでレジスタ21に取り込まれて保持されたデータと、第2のストローク信号のタイミングのデータがゲート回路22で比較されて、両者が一致しているか否かが判定される。第1のストローク信号のタイミングでは、確実にデータが確定しているのので、第2のストローク信号のタイミングにおいて、第1のストローク信号のタイミングと同じデータ（すなわち正しいデータ）が出力されているか否かが判定されていることと同じである。したがって、正しいデータが出力されず比較された両者のデータが不一致の場合には、フェール（図5にNGで示す）となり、フェール（FAIL）信号がハイレベルとなる。ハイレベルのフェール信号はF/F24に入力され、フェール信号が一度でもハイ

レベルになると、F/F24がセット状態となり、フェールの測定結果がF/F24から出力されて、インバリッド時間の測定テストにおけるトータルのテスト結果が判定されることになる。このような測定を、第2のストローク信号を少しずつスイープしながら繰り返し行い、それぞれのデータの判定結果を調べることにより、それぞれのデータ間でのインバリッド時間のスキューを測定することが可能となる。

#### 【0016】

このように、上記実施形態においては、テスト装置の測定精度を上回るような極微小のデータ間スキューの測定が可能となる。また、第1及び第2のストローク信号の2つのタイミングにより各サイクルでのデータのタイミングを常にタイミング判定回路2において判定し、測定のトータルの結果を出力しているので、複数サイクル中でのデータ間スキューのワースト値を測定することができる。

#### 【0017】

図6はタイミング判定回路2の他の実施形態に係る構成を示す図である。図6において、この実施形態のタイミング判定回路2は、入力(IN)を受けて第1のストローク信号(STRB1)に同期して取り込み保持するレジスタ25と、入力(IN)を受けて第2のストローク信号(STRB2)に同期して取り込み保持するレジスタ26と、レジスタ25、26の出力を受ける排他的論理和のゲート回路27と、第2のストローク信号を遅延する遅延回路(Delay)28と、ゲート回路27の出力を受けて遅延回路28の出力に同期して取り込み保持するレジスタ29と、レジスタ29の出力を受けるRS型のフリップフロップ(F/F)30を備えて構成されている。このような構成の特徴とするところは、第1及び第2のストローク信号のタイミングは、先の実施形態と同様のタイミングとし、先の実施形態に比べて、ゲート回路27で比較するデータを一旦レジスタ25、26に取り込み保持する構成を採用しており、測定動作は先の実施形態と同様である。

#### 【0018】

図1に示す実施形態では、インバリッド時間の測定において、第2のストローク信号に同期してゲート回路22の出力を取り込み保持する構成を採用している

ので、それぞれのデータに対応したゲート回路22に、製造上のスピードのばらつきがあると、同一条件においてそれぞれのデータのインバリッド時間を測定することができなくなり、測定精度を損なうおそれがあった。これに対して、図6に示すこの実施形態の構成では、ゲート回路22で比較する双方のデータをレジスタ25、26に保持しているため、ゲート回路27のスピードのばらつきの影響を受けることなく測定を実施することが可能となる。

## 【0019】

図7はタイミング判定回路の更に他の実施形態に係る構成を示す図であり、図8は図7に示す構成におけるバリッド時間の測定時の動作タイミングチャートを示す図であり、図9は図7に示す構成におけるインバリッド時間の測定時の動作タイミングチャートを示す図である。

## 【0020】

この実施形態の特徴とするところは、図6に示す実施形態に比べて、図6のレジスタ25をストロブ信号（STRB）の立ち上がりエッジに同期したレジスタ41に代え、図6に示すレジスタ26をストロブ信号の立ち下がりエッジに同期したレジスタ42に代え、図6の遅延回路28をストロブ信号を遅延する遅延回路43とし、図6のレジスタ29を遅延回路43の出力の立ち下がりエッジ、すなわち遅延されたストロブ信号の立ち下がりエッジに同期したレジスタ44に代え、ストロブ信号の立ち上がりエッジを前述した第1のストロブ信号と同等に機能するものとし、ストロブ信号の立ち下がりエッジを前述した第2のストロブ信号と同等に機能するものとし、図8ならびに図9に示すように、1つのストロブ信号で図6に示す実施形態と同様の測定動作を実現したところにある。したがって、このような実施形態においては、図6に示す実施形態に比べて、構成を大型化ならびに複雑化することなく、ストロブ信号を削減して同様の効果を得ることができる。

## 【0021】

## 【発明の効果】

以上説明したように、本発明によれば、テスト装置の測定精度を上回るような極微小のデータ間スキューの測定が可能となる。また、1つ又は2つのタイミン

グにより各サイクルでのデータのタイミングを常にタイミング判定回路により判定し、トータルのテスト結果を出力するので、複数サイクル中でのデータ間スキューのワースト値を測定することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体記憶装置の概略構成を示す図である。

【図 2】

タイミング判定回路の構成を示す図である。

【図 3】

データの遷移点のばらつきの様子を示す図である。

【図 4】

バリッド時間の測定時のタイミングチャートを示す図である。

【図 5】

インバリッド時間の測定時のタイミングチャートを示す図である。

【図 6】

タイミング判定回路の他の構成を示す図である。

【図 7】

タイミング判定回路の他の構成を示す図である。

【図 8】

図 7 に示す構成におけるバリッド時間の測定時のタイミングチャートを示す図である。

【図 9】

図 7 に示す構成におけるインバリッド時間の測定時のタイミングチャートを示す図である。

【図 10】

従来のデータ間スキュー測定回路を有する半導体記憶装置の構成を示す図である。

【図 11】

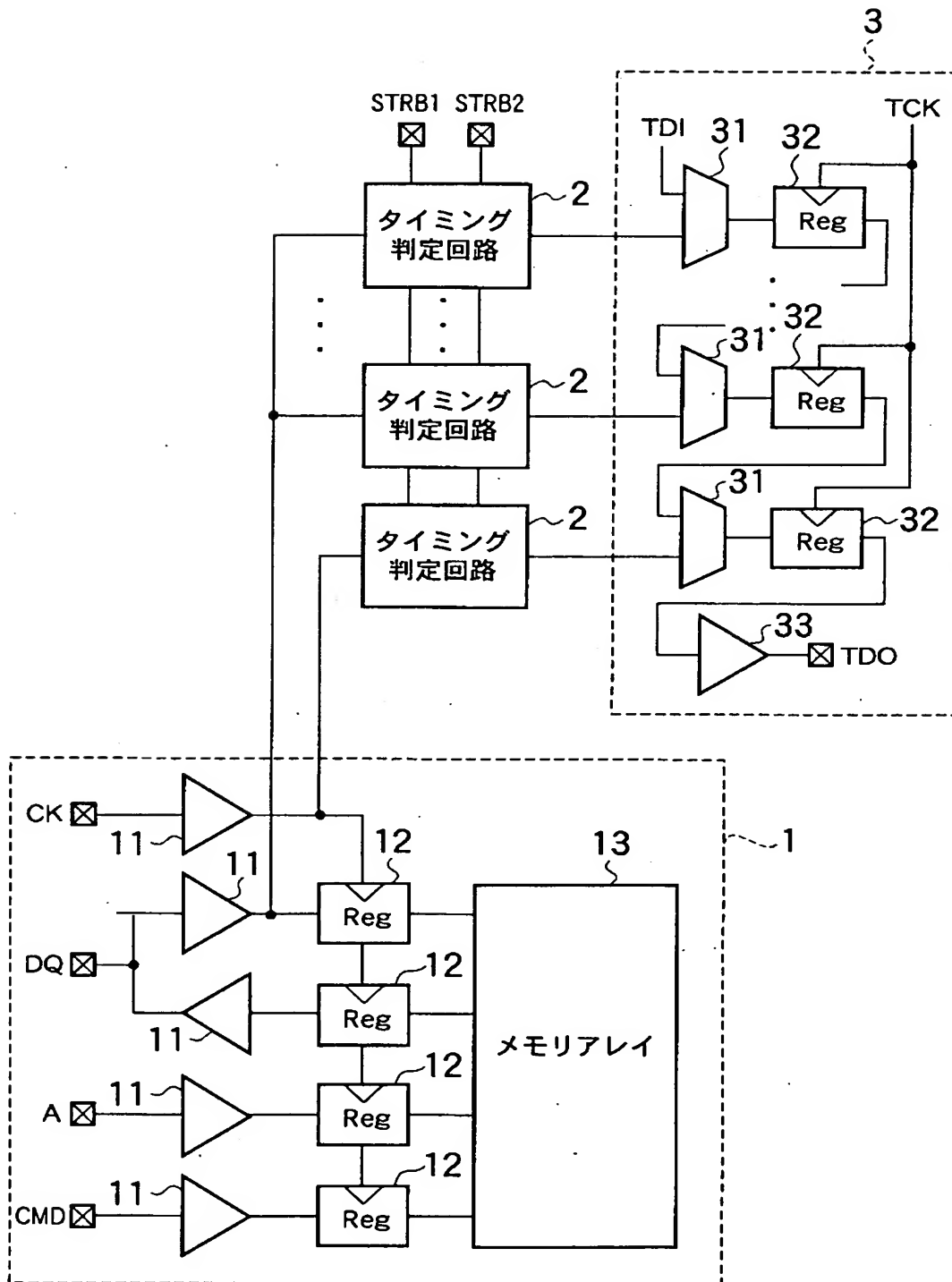
図 10 に示す半導体記憶装置の動作タイミングチャートを示す図である。

【符号の説明】

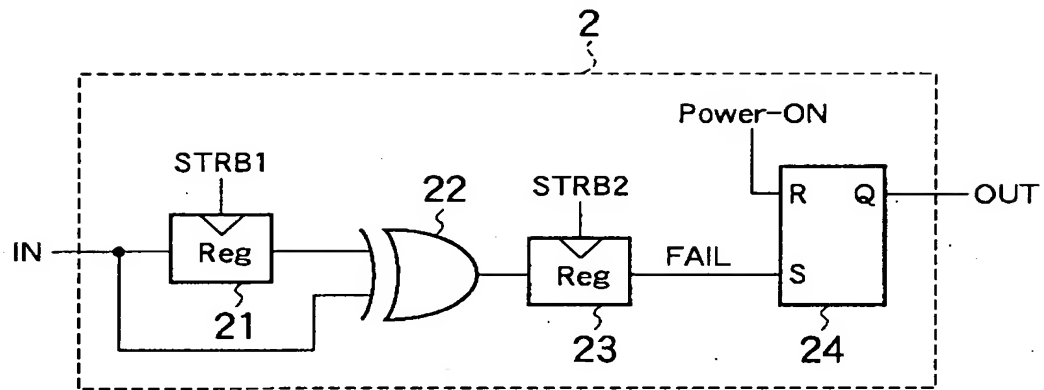
- 1 記憶装置のコア部
- 2 タイミング判定回路
- 3 バウンダリスキャンテスト回路
- 1 1, 3 3 バッファ
- 1 2, 2 1, 2 3, 2 5, 2 6, 2 9, 3 2, 4 1, 4 2, 4 4 レジスタ
- 1 3 メモリアレイ
- 3 1 セレクタ
- 2 2, 2 7 ゲート回路
- 2 4, 3 0 フリップフロップ
- 2 8, 4 3 遅延回路

【書類名】 図面

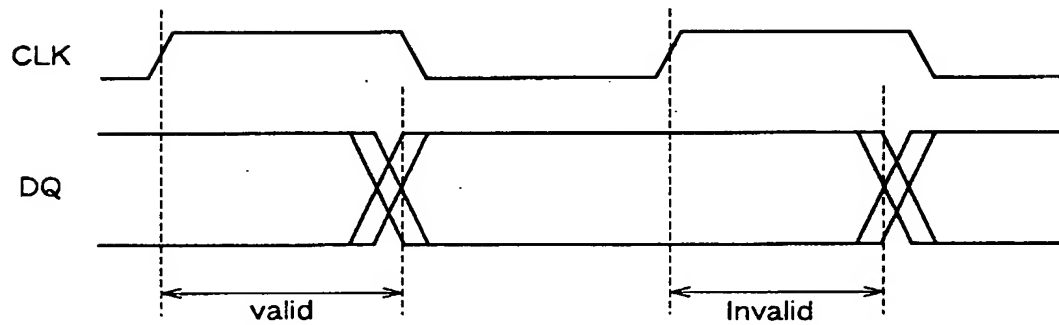
【図 1】



【図 2】

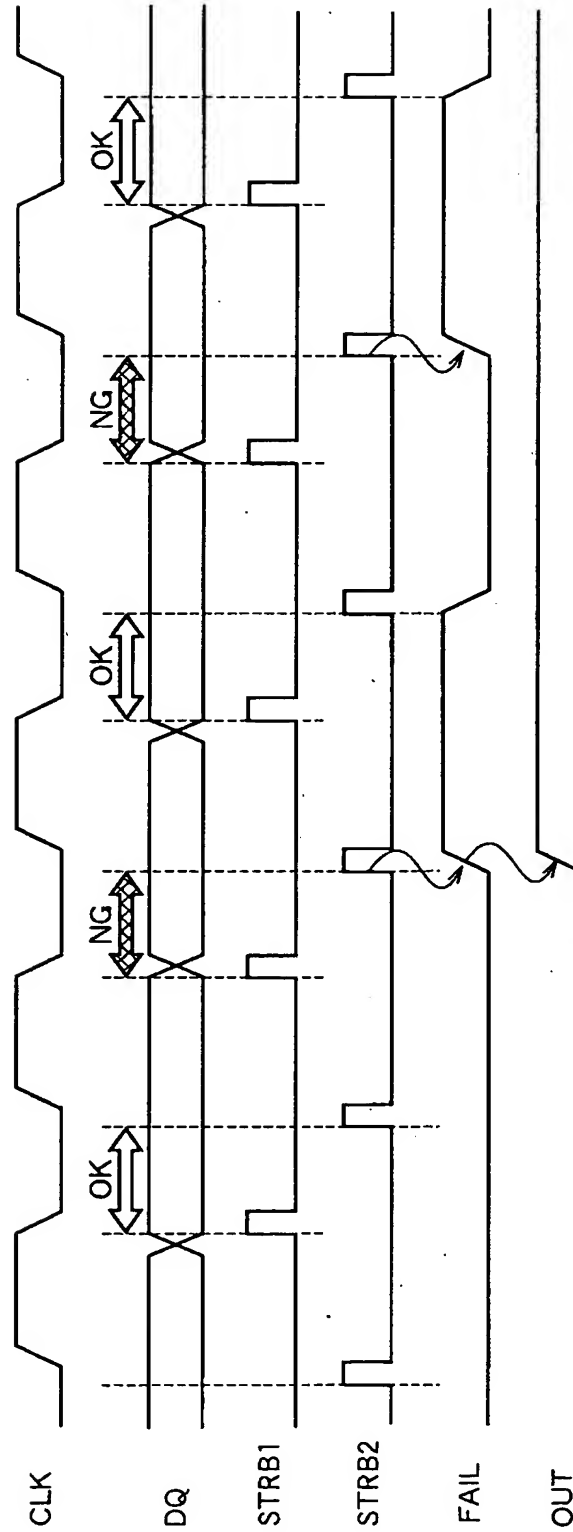


【図 3】

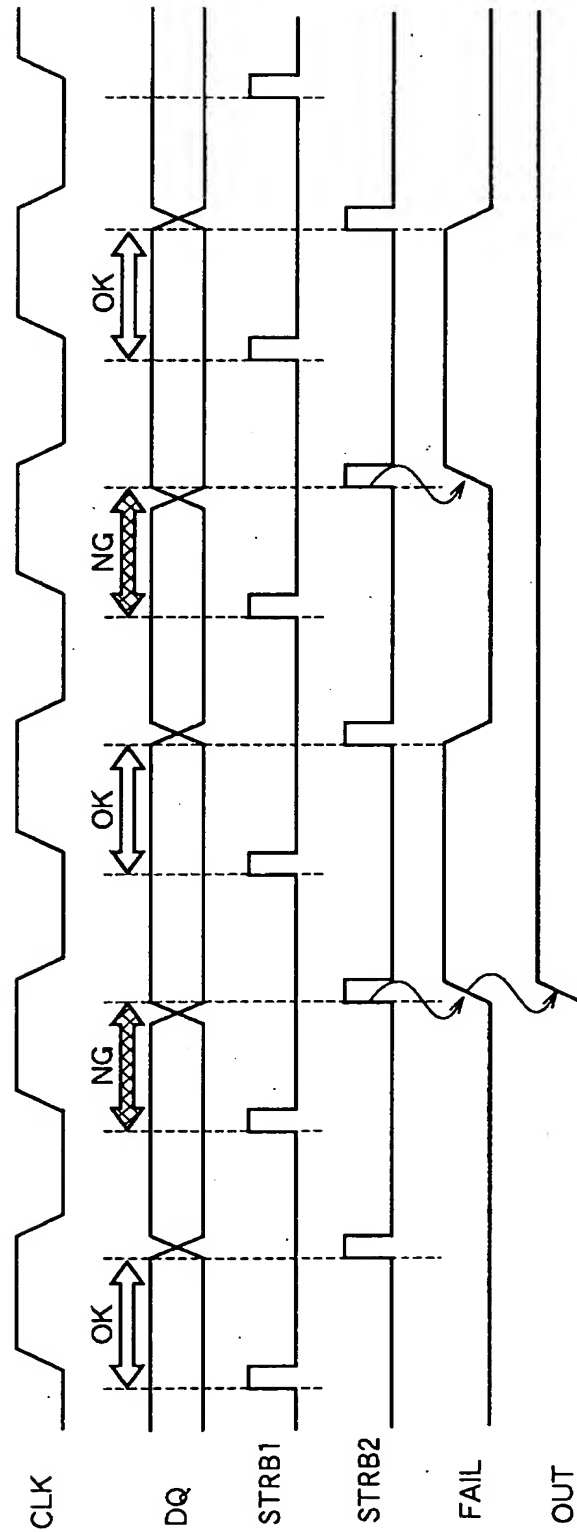




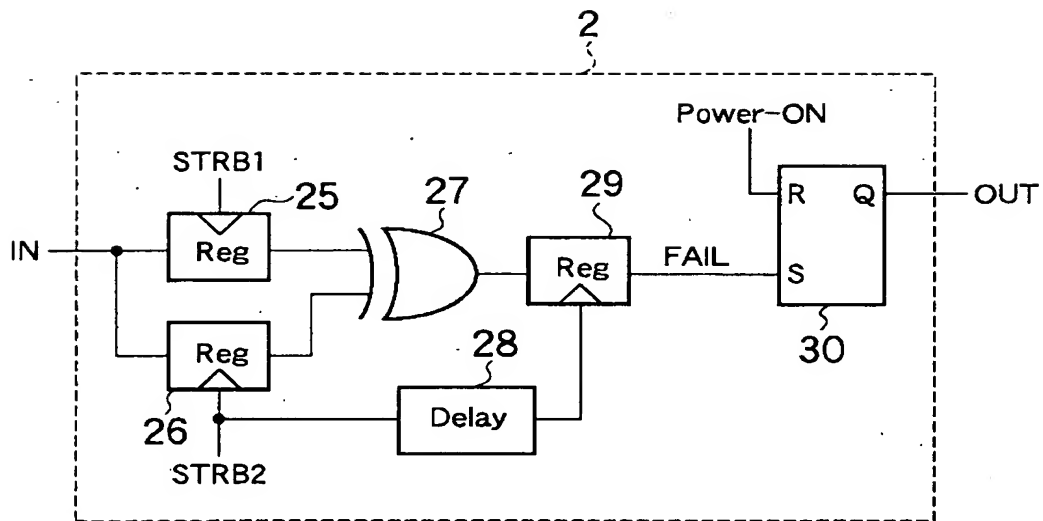
【図 4】



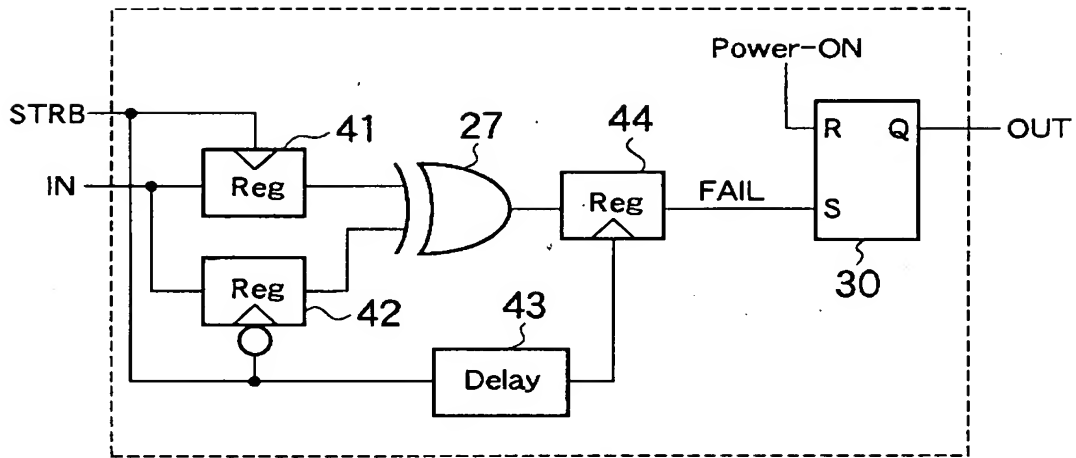
【図 5】



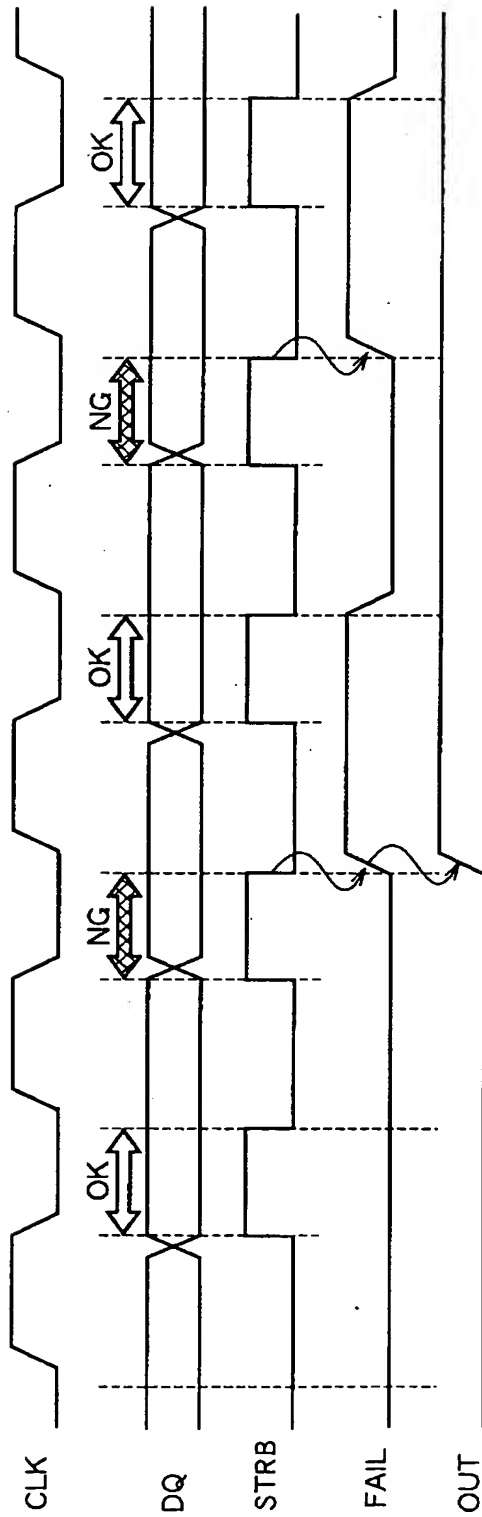
【図 6】



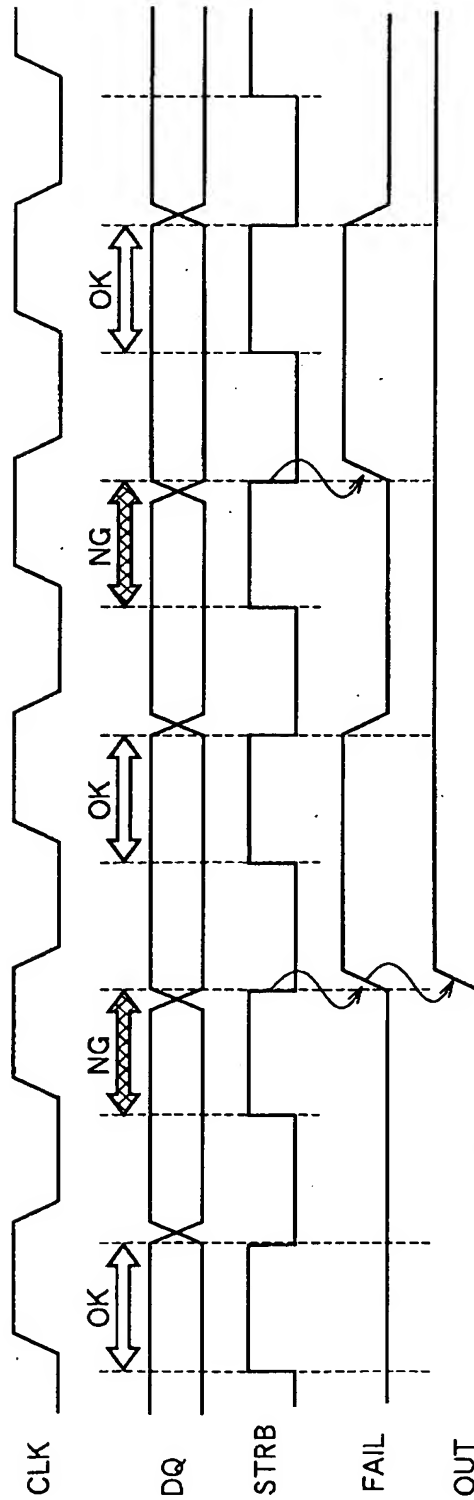
【図 7】



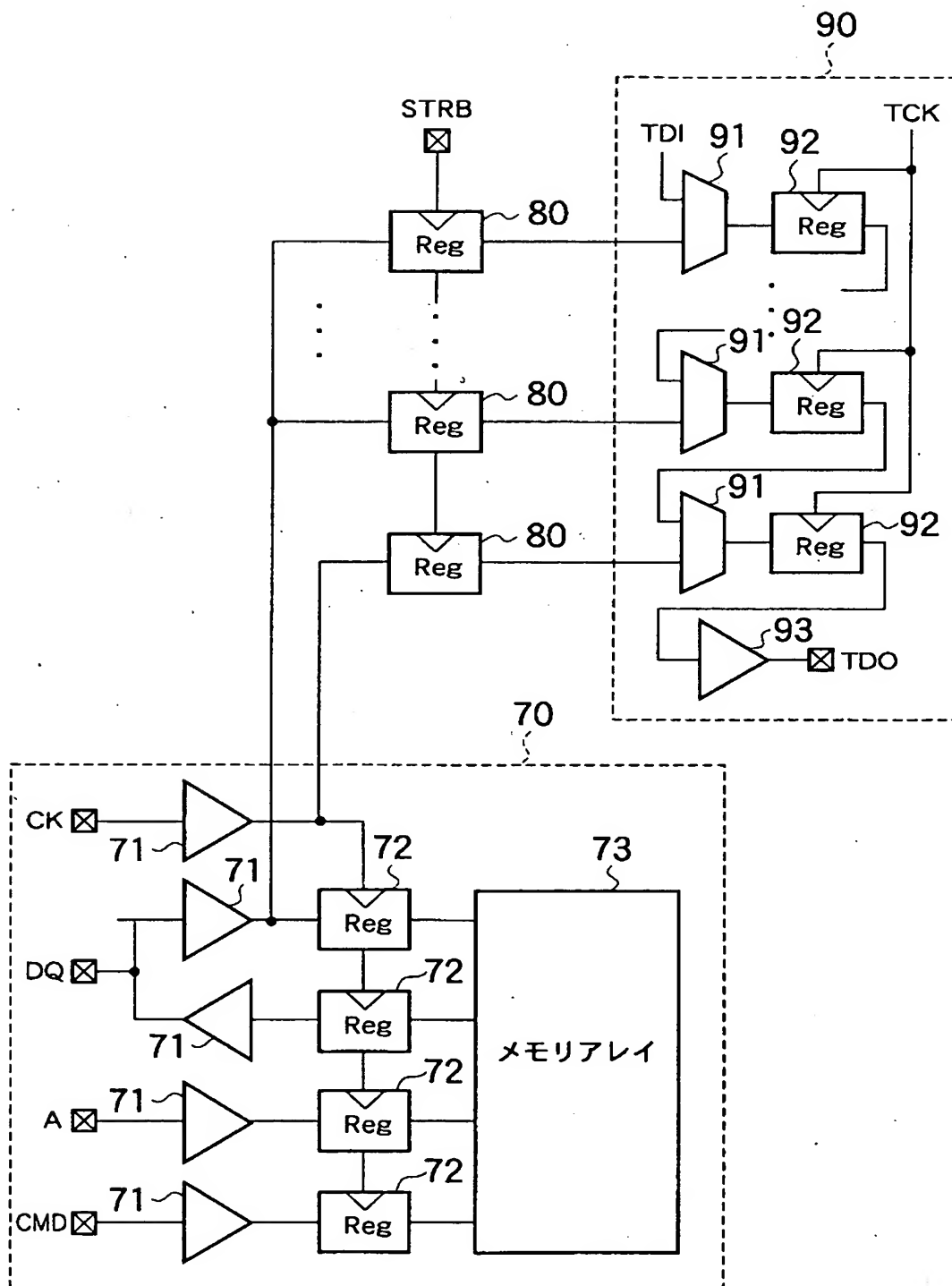
【図 8】



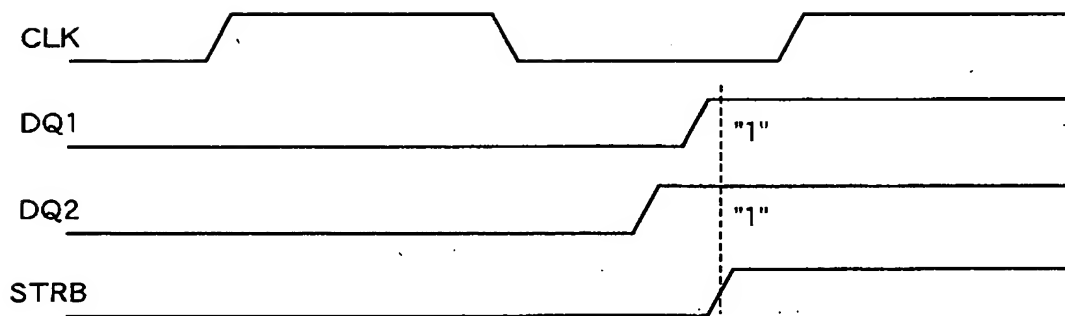
【図 9】



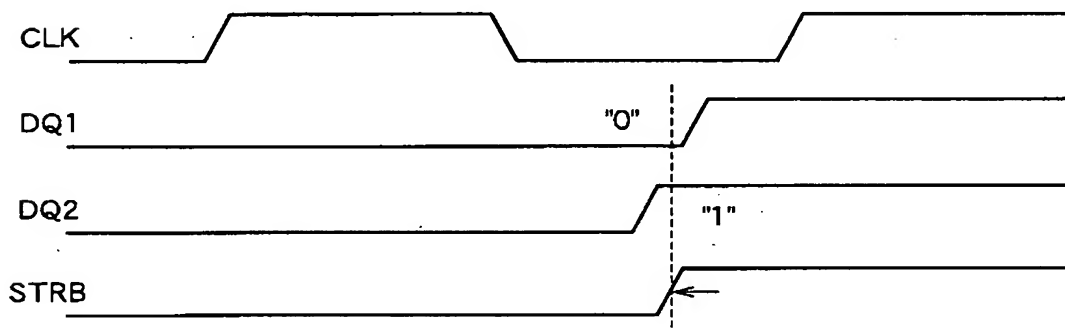
【図10】



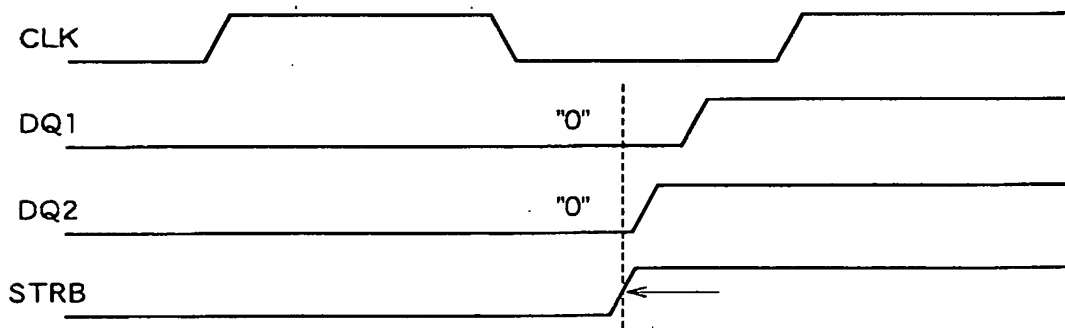
【図 11】



(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 本発明は、テスト装置の測定精度を上回るような極微小のデータ間スキュー測定を可能とし、複数の動作サイクルにおけるワーストケースのデータ間スキューを測定することを課題とする。

【解決手段】 本発明は、2つの異なるタイミングに同期した入力データの一致／不一致を比較判定し、判定結果に基づくテスト結果を保持出力するタイミング判定回路2を備えて構成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝